

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-367277

(43)公開日 平成4年(1992)12月18日

(51)Int.Cl.<sup>5</sup>  
H 01 L 29/784

識別記号  
9056-4M  
9056-4M

庁内整理番号  
H 01 L 29/78

F I

技術表示箇所  
3 1 1 H  
3 1 1 N

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平3-168998

(22)出願日 平成3年(1991)6月14日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 助川 統

東京都港区芝5丁目7番1号 日本電気株  
式会社内

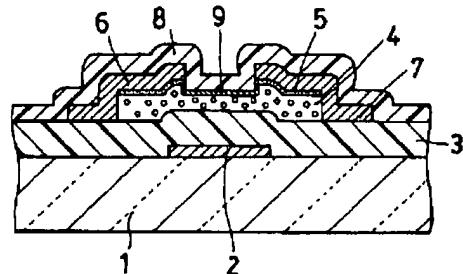
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 逆スタガー構造のa-Si薄膜トランジスタにおいて、ゲート電極と反対側のa-Si界面をp型に変換することにより、この界面での電子伝導を抑制し、オフ電流の低減を図る。

【構成】 ガラス基板1上にゲート電極2と、窒化シリコン膜(ゲート絶縁膜)3、活性層となるa-Si膜4、コンタクト領域となるn<sup>+</sup>型a-Si膜5、ドレイン電極6、ソース電極7を形成し、ドレイン電極6、ソース電極7をマスクにn<sup>+</sup>型a-Si膜5をエッチング除去してa-Si膜4の表面を露出させる。プラズマCVD法により成膜を行うに際して、プラズマガス中にB<sub>2</sub>H<sub>6</sub>を混合して、Bドープ窒化シリコン膜8を成長させる。アニール処理を行ってa-Si膜4の表面にp型変換層9を形成する。



1…ガラス基板	6…ドレイン電極
2…ゲート電極	7…ソース電極
3…窒化シリコン膜	8…Bドープ窒化シリコン膜
4…a-Si膜	9…p型変換層
5…n <sup>+</sup> 型a-Si膜	

1

2

## 【特許請求の範囲】

【請求項1】 ゲート電極上にゲート絶縁膜を介してアモルファスシリコン層が形成され、該アモルファスシリコン層上に絶縁性保護膜が形成されている薄膜トランジスタにおいて、前記絶縁性保護膜にはIII族元素がドープされかつ該絶縁性保護膜下の前記アモルファスシリコン層の表面はp型化されていることを特徴とする薄膜トランジスタ。

【請求項2】 絶縁性基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に活性層となるアモルファスシリコン層を形成する工程と、III族元素が含まれるプラズマガスにより前記アモルファスシリコン層上に絶縁膜を成膜する工程と、熱処理を行って前記アモルファスシリコン層の表面をp型化する工程と、を含む薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタおよびその製造方法に関し、特にアモルファスシリコンを活性層とする逆スラガ型の薄膜トランジスタとその製造方法に関する。

## 【0002】

【従来の技術】 従来のアモルファスシリコン薄膜トランジスタの製造方法を図4を参照して説明する。ガラス基板1上にクロムを膜厚140nmに成膜し、バーニングすることによりゲート電極2を形成する。次に、ゲート絶縁膜となる窒化シリコン膜3を膜厚400nmに、動作層となるノンドープアモルファスシリコン膜(以下、a-Si膜と記す)4を膜厚300nmに、オームックコンタクトを得るためのリン(P)ドープアモルファスシリコン膜(以下、n<sup>+</sup>型a-Si膜と記す)5を膜厚50nmにそれぞれプラズマCVD法により成膜し、素子部以外のアモルファスシリコンを除去する。

【0003】 その後、膜厚200nmにクロム膜を成膜し、これをバーニングすることにより、ドレン電極6、ソース電極7を形成する。次に、ドレン電極6、ソース電極7間のn<sup>+</sup>型a-Siをエッティング除去することにより、両電極の分離を行う。

【0004】 次に、ドレン電極6、ソース電極7間の、エッティングにより露出したa-Si4の表面、即ち、バックチャネル部を不動態化するために、プラズマCVD法により全面に窒化シリコン膜11を形成する。

【0005】 この薄膜トランジスタでは、ドレン電極6とソース電極7に対するコンタクト領域としてn<sup>+</sup>型a-Siを用いているため、電流は電子の伝導によるものであり、正孔はコンタクト部でブロックされ、チャネル部には注入されない。

## 【0006】

【発明が解決しようとする課題】 この従来のアモルファ

50 性を導電率で示したものである (Munekata et.al, Proc.

スシリコン薄膜トランジスタでは、動作層のa-Siが弱いn型半導体であるため、保護膜となる窒化シリコン中または保護膜上部に正の電荷が存在すると、バックチャネル界面に電子が誘起され、ここがより電子濃度の高いn型に変換される。このためトランジスタのオフ状態においてもバックチャネル部に電流が流れ、リーク不良となる。

## 【0007】

【課題を解決するための手段】 本発明の薄膜トランジスタは、ゲート電極上にゲート絶縁膜を介してアモルファスシリコン層が形成され、該アモルファスシリコン層上に絶縁性保護膜が形成されたものであって、前記絶縁性保護膜にはIII族元素がドープされかつ該絶縁性保護膜下のアモルファスシリコン層の表面がp型化されていることを特徴としている。

【0008】 また、その製造方法は、絶縁性基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に活性層となるアモルファスシリコン層を形成する工程と、II族元素が含まれるプラズマガスにより前記アモルファスシリコン層上に絶縁膜を成膜する工程と、熱処理を行って前記アモルファスシリコン層の表面をp型化する工程と、を含んでいる。

## 【0009】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例を示す断面図である。同図において、1はガラス基板、2はクロムからなるゲート電極、3はゲート絶縁膜となる窒化シリコン膜、4はa-Si膜、5はn<sup>+</sup>型a-Si膜、6、7はそれぞれドレン電極とソース電極、8は保護膜となるB(ボロン)ドープ窒化シリコン膜、9はa-Si膜4の表面に形成されたp型変換層である。

【0010】 次に、本実施例の製造方法について説明する。ドレン電極6、ソース電極7をマスクにn<sup>+</sup>型a-Si膜5をエッティング除去してa-Si膜4の表面を露出させる迄の工程は従来通りであるのでその説明は省略する。

【0011】 ドレン電極6-ソース電極7間のa-Si膜4の表面を露出させた後、バックチャネル保護膜としてBドープ窒化シリコン膜8を膜厚4000ÅにプラズマCVD法により成長させる。

【0012】 窒化シリコン膜の代表的な成長条件は、シリコン(SiH<sub>4</sub>) : アンモニア(NH<sub>3</sub>) : 空素(N<sub>2</sub>) = 1 : 2 : 20の流量比、圧力 = 100Pa、温度 = 250°C、パワー密度 = 0.1W/cm<sup>2</sup>であるが、本実施例では、これにジボラン(B<sub>2</sub>H<sub>6</sub>)を流量比で10<sup>-3</sup>程度混合させてBドープ窒化シリコン膜を成膜した。

【0013】 図2は、窒化シリコン膜のBドーピング特性を導電率で示したものである (Munekata et.al, Proc.

3rd Photovoltaic Science and Engineering May, 1982)。同図に示されるように、 $10^{-3}$ 程度 $B_2H_6$ を混合することにより、窒化シリコン膜の導電率は低下し、絶縁膜としての機能は強化される。

【0014】 $B$ ドープ窒化シリコン膜8を成膜した後、 $250\sim300^\circ C$ でアニール処理を行うと $B$ が $a-Si$ 膜4中に拡散し、バックチャネル界面は $p$ 型に変換される。結晶 $Si$ での不純物拡散は、 $\sim 1000^\circ C$ 程度の高温処理で達成されるが、アモルファスシリコンの場合は膜の構造的な不均一性のため、比較的低温で元素の移動がおこり、上述したアニール処理によって $a-Si$ の $p$ 型変換が可能である。

【0015】図3は本発明の第2の実施例の断面図である。この実施例を作成するには、 $a-Si$ 膜4を成膜した後に $B$ ドープ窒化シリコン8を成膜し、バックチャネル保護を行なう。この後、バックチャネル部以外の $B$ ドープ窒化シリコン8および素子部以外の $a-Si$ 膜4を除去する。

【0016】次に、 $n^+$ 型 $a-Si$ 膜5を成膜し、これをバーニングした後、クロム膜の成膜とそのバーニングによってドレイン電極6、ソース電極7を形成し、さらに保護膜としての窒化シリコン膜10を形成する。

【0017】この実施例においては、 $a-Si$ 膜4の形成直後にバックチャネル保護膜となる $B$ ドープ窒化シリコン膜8を形成するため、 $a-Si$ 膜4と窒化シリコン膜8の界面は、エッチング等のダメージ汚染を受ける履歴を経ない。そのため、この実施例ではバックチャネルの $p$ 型変換の効果が安定して得られる。

【0018】なお、窒化シリコン膜8の成膜工程において、ガスに $B_2H_6$ を混合するのは必ずしも全成膜工程

10

【0019】  
【発明の効果】以上説明したように、本発明は、 $1000ppm$ 程度に $B$ を含んだ窒化シリコン膜を薄膜トランジスタのバックチャネル部の保護膜として用い、バックチャネル界面を弱い $p$ 型としたものであるので、本発明によれば、バックチャネルの $n$ 型変換のしきい値を増加させ、オフ時のリーコ電流を低減させることができる。

【0020】また、バックチャネル界面の $p$ 型化は、プラズマCVD法による成膜とアニール処理によって達成するものであるので、特別な工程の追加を伴うことなく $p$ 型化を実現できる。また $B$ のドーピングがプラズマCVD装置を用いて行われるものであるため、広い面積に渡って均等なドーピングを行うことができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す断面図。

【図2】 窒化シリコン成膜時のガス混合比と導電率の関係を示すグラフ。

【図3】 本発明の第2の実施例を示す断面図。

【図4】 従来例の断面図。

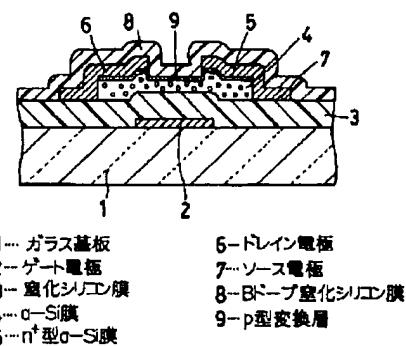
【符号の説明】

1…ガラス基板、 2…ゲート電極、 3…窒化シリコン膜、 4…ノンドープアモルファスシリコン膜( $a-Si$ 膜)、 5… $p$ ドープアモルファスシリコン膜( $n^+$ 型 $a-Si$ 膜)、 6…ドレイン電極、 7…ソース電極、 8… $B$ ドープ窒化シリコン膜、 9… $p$ 型変換層、 10、 11…窒化シリコン膜。

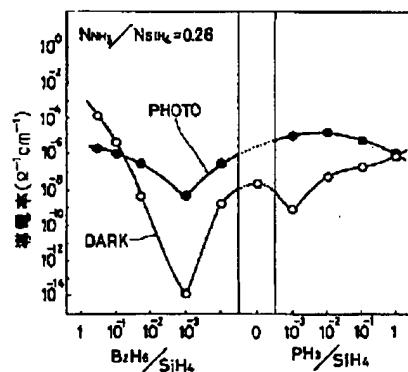
20

30

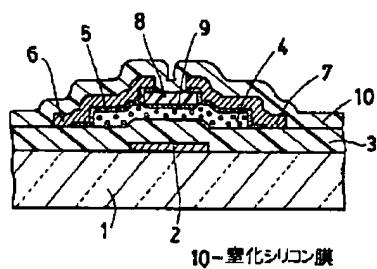
【図1】



【図2】



【図3】



【図4】

